

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172345  
 (43)Date of publication of application : 02.07.1996

(51)Int.CI. H03K 5/1252  
 H03K 5/125  
 H04L 1/00  
 // H03K 5/19

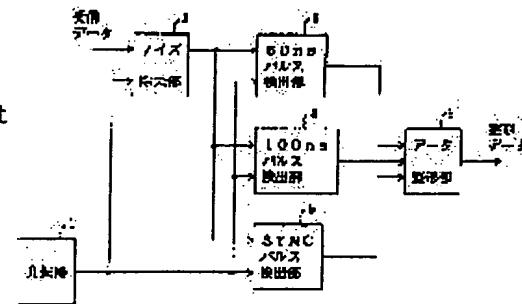
(21)Application number : 06-341168 (71)Applicant : NIPPON AVIONICS CO LTD  
 (22)Date of filing : 19.12.1994 (72)Inventor : ANDO KAORU

## (54) WAVEFORM SHAPING CIRCUIT FOR DIGITAL DATA

## (57)Abstract:

PURPOSE: To make it possible to reduce the influence of noise without executing adjustment by removing data not meeting standard requirements as a noise component or adjusting pulse width to obtain serial data meeting the standard requirements.

CONSTITUTION: An oscillation part 1 generates a clock to be a reference for waveform shaping and noise removal. A noise removing part 2 is constituted of a shift register or the like, removes received data  $\leq 1/5$  the pulse width standard of received data obtained by converting external received data into a TTL level by an amplification part connected to the prestage as a noise based upon a clock from the oscillation part 1, and when the received data are  $\geq 2/5$  the pulse width standard and one-clock variation exists on the way, the data are corrected so as to be continued to remove interruption due to the noise. Each of pulse detection parts 3 to 5 constituted of counters or the like detects a pulse with previously determined pulse width from digital data outputted from the noise removing part 2 and a data shaping part 6 shapes the waveform of input data to digital data with previously determined pulse width.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-172345

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.<sup>6</sup>

H 03 K 5/1252

5/125

H 04 L 1/00

識別記号

庁内整理番号

F I

技術表示箇所

G

H 03 K 5/ 01

G

D

審査請求 未請求 請求項の数1 FD (全 6 頁) 最終頁に続く

(21)出願番号

特願平6-341168

(71)出願人 000227836

日本アピオニクス株式会社

東京都港区西新橋三丁目20番1号

(22)出願日 平成6年(1994)12月19日

(72)発明者 安藤 薫

東京都港区西新橋三丁目20番1号 日本ア

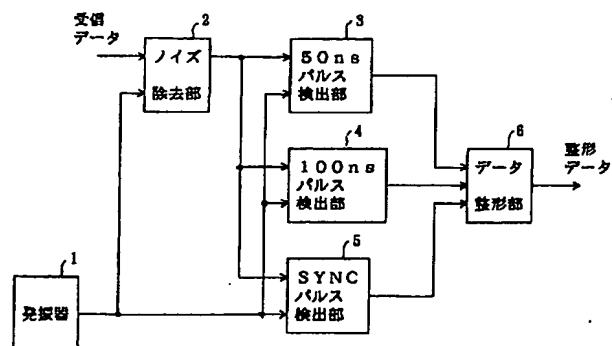
ピオニクス株式会社内

(54)【発明の名称】 デジタルデータの波形整形回路

(57)【要約】

【目的】 無調整でノイズの影響を低減できるデジタルデータの波形整形回路を提供する。

【構成】 受信データからノイズ除去部2で規格に達しないパルス幅のデータを除去し、またパルスの割れを修正する。続いて、50 ns パルス検出部3、100 ns パルス検出部4、およびSYNCパルス検出部5で決められたパルス幅のデータを検出して、その結果をデータ整形部6で規格のパルス幅のパルスに波形整形する。



## 【特許請求の範囲】

【請求項1】波形整形、ノイズ除去の基準となるクロックを生成する発振部と、この発振部のクロックにより、デジタルデータから予め決められたパルス幅の成分をノイズとして除去し、また、デジタルデータの途中の予め決められた幅以内の変動は、連続性があるように修正するノイズ除去部と、このノイズ除去部出力デジタルデータから、予め決められたパルス幅のパルスを検出するパルス検出部と、このパルス幅検出部出力信号から、予め決められたパルス幅のデジタルデータに波形整形するデータ整形部とを有することを特徴とするデジタルデータの波形整形回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高速シリアルデータ伝送に係り、特に受信データの波形整形回路に関するものである。

## 【0002】

【従来の技術】シリアルデータの伝送回線には外来ノイズや伝送歪みなどの影響で、シリアルデータのパルス幅に変化が生じたり、パルスが割れたりして、パルス幅の規格を満足しない場合があった。従来は、この外来ノイズや伝送歪みの影響を少なくするために、フィルタを構成する抵抗やコンデンサを多数使用するアナログ方式を用いていた。

## 【0003】

【発明が解決しようとする課題】このようなアナログ方式には多くの部品が必要であるので、次のような問題点があった。

①抵抗、コンデンサおよびトランジスタなど使用部品には許容誤差があり、製造ロット毎に微調整が必要となるが、この微調整も各回路間が相互に関係するので容易に調整できない。

②多くの部品が必要であるため、ハイブリッドIC化などを行わない限り回路の小型化ができない。

③多くの部品を使用するため、低消費電力化ができない。

④アナログ回路であるため、ノイズに弱く、動作温度、電源電圧などの影響により、抵抗値、コンデンサの容量などが変化し、信号に影響を与えやすくなっているために十分に高い信頼性が得られない。また、多くの部品を使用するために、個々の部品は故障率が低くても回路単位では高い故障率になっている。本発明は、上記課題を解決するために、デジタル回路方式を採用して無調整でノイズの影響低減できるデジタルデータの波形整形回路を提供することを目的とする。

## 【0004】

【課題を解決するための手段】本発明は、波形整形、ノイズ除去の基準となるクロックを生成する発振部と、こ

の発振部のクロックにより、デジタルデータから予め決められたパルス幅の成分をノイズとして除去し、また、デジタルデータの途中の予め決められた幅以内の変動は、連続性があるように修正するノイズ除去部と、このノイズ除去部出力デジタルデータから、予め決められたパルス幅のパルスを検出するパルス検出部と、このパルス幅検出部出力信号から、予め決められたパルス幅のデジタルデータに波形整形するデータ整形部とを有するものである。

## 10 【0005】

【作用】本発明によれば、シリアルデータの受信部をデジタル方式にして、基本クロックとしてシリアルデータの10倍の周波数のクロックを用いて、クロックによってシリアルデータのパルス幅をカウントし、規格に合わないデータをノイズ成分として除去したり、またはパルス幅を調整して規格にあったシリアルデータとすることを無調整で実現できる。

## 【0006】

【実施例】図1は、本発明の1実施例である10MBPSのマンチェスター2コードによるシリアルデータの伝送に用いる受信デジタルデータの波形整形回路のブロック図、図2は図1のノイズ除去部の動作を説明するための波形図、図3～5は図1の50nsパルス検出部3、100nsパルス検出部4およびSYNCパルス検出部5の動作を説明するための状態遷移図である。図1において、1は波形整形、ノイズ除去の基準となるクロックを生成する受信データの10倍の周波数である100MHzで発振する発振部、2はシフトレジスタなどで構成する、図示しない前段の增幅部でTTLレベルに変換された外部からの受信データを発振部1からのクロックにより受信データのパルス幅の規格の1/5以下の受信データをノイズとして除去し、また、受信データが2/5以上で、途中で1クロックの変動がある場合はノイズによる割れであるとして連続性があるように修正するノイズ除去部であり、3、4、および5はそれぞれカウンタなどで構成するパルス検出部で、3はノイズ除去部2からの修正された受信データから論理「1」のパルス幅が40nsから60nsの部分のみを検出する50nsパルス検出部、4はノイズ除去部2からの修正された受信データから論理「1」のパルス幅が90nsから110nsの部分のみを検出する100nsパルス検出部、5はノイズ除去部2からの修正された受信データから論理「1」の部分のパルス幅が120ns以上であり、連続して論理「0」の部分のパルス幅が120ns以上である論理「1」、「0」の連続した部分を検出するSYNCパルス検出部、6はメモリ、シフトレジスタなどで構成する50nsパルス検出部3の検出信号を受けて50nsの論理「1」のパルスを発生し、100nsパルス検出部4からの検出信号を受けて100nsの論理「1」のパルスを発生する100nsパルス発生し、ま

30 た外部からの受信データを発振部1からのクロックにより受信データのパルス幅の規格の1/5以下の受信データをノイズとして除去し、また、受信データが2/5以上で、途中で1クロックの変動がある場合はノイズによる割れであるとして連続性があるように修正するノイズ除去部であり、3、4、および5はそれぞれカウンタなどで構成するパルス検出部で、3はノイズ除去部2からの修正された受信データから論理「1」のパルス幅が40nsから60nsの部分のみを検出する50nsパルス検出部、4はノイズ除去部2からの修正された受信データから論理「1」のパルス幅が90nsから110nsの部分のみを検出する100nsパルス検出部、5はノイズ除去部2からの修正された受信データから論理「1」の部分のパルス幅が120ns以上であり、連続して論理「0」の部分のパルス幅が120ns以上である論理「1」、「0」の連続した部分を検出するSYNCパルス検出部、6はメモリ、シフトレジスタなどで構成する50nsパルス検出部3の検出信号を受けて50nsの論理「1」のパルスを発生し、100nsパルス検出部4からの検出信号を受けて100nsの論理「1」のパルスを発生する100nsパルス発生し、ま

たSYNCパルス検出部5からの検出信号を受けてSYNC信号である150nsの論理「1」、続けて150nsの論理「0」のパルスを発生して受信データを波形整形するデータ整形部である。ここでパルス幅検出許容値として、40nsから60ns、90nsから110ns、または120ns以上としたのは、受信データがその程度のパルス幅の変動を含んでいるためこの変動を許容するためである。

【0007】図2において、(A)は発振部1から発振されるクロックCLK、(B)は外部からの受信データRDX、(C)は受信データ検出フラグDFG、(D)は有効データ検出フラグVFG、(E)はノイズ除去後の出力データRDである。次に、このデジタルデータの波形整形回路の動作について説明する。第1に、ノイズ除去部2について、図2を基づいて説明する。図2

(A)に示すように発振部1は受信データと非同期に100MHzで発振している。ここで図2(B)に示すようなノイズ成分11、12、および13が混在する受信データが入力された場合のノイズ除去動作について説明する。受信データRDXはクロックCLKによってシフトレジスタに取り込まれ、次々にシフトされ、図2(C)のような受信データ検出フラグDFGが生成される。この過程で10ns以下の受信データの一部であるノイズ成分11が除去される。次に、図2(D)に示すように、このシフトされた受信データが最低2クロック分連続して論理「1」となった場合、有効データ検出フラグVFGをセットする。この過程で10ns以上20ns以下のノイズ成分12が除去される。また、図2(D)に示すように、一度有効データ検出フラグVFGをセットした場合は、連続して2クロック以上シフトレジスタからの受信データが論理「0」にならない場合は、そのまま論理「1」をセットし続ける。この過程で10ns以下の割れノイズ成分13が除去される。このようにして、図2(E)に示すような、ノイズ成分11、12、および13が除去された受信データRDが生成される。

【0008】第2に、50nsパルス検出部3、100nsパルス検出部4およびSYNCパルス検出部5の動作について説明する。ノイズ除去部2から図2(E)に示すようなクロックCLKに同期した受信データRDが入力される。この受信データRDは、クロックCLKをクロックとするカウンタのカウント有効信号として用いられ、出力データRDが論理「1」の場合、カウンタはカウントを継続する。

【0009】従って、クロックCLKの周期は10nsであるから、カウント結果が4~6の場合にのみ、50nsパルス検出となり、50nsパルス検出部3から50nsパルス検出信号が输出される。この様子を50nsパルス検出部3の状態遷移図である図3に基づいて説明する。この状態遷移図は、受信データRDをクロック

CLK単位で入力し、その時のデータが論理「1」か「0」かで、次の状態をどこに遷移させるのかを定義したものである。従って、この状態遷移図に定義されているように、最初は、受信データRDが論理「1」であるRDONになるまで遷移せずに起点である状態0に止まっている。ここでRDON状態となると、状態1に遷移する。次もRDONの場合は、状態2に遷移するが、論理「0」であるRDOFFの場合は、起点である状態0に遷移する。状態2で、次もRDONの場合は、状態3に遷移するが、RDOFFの場合は、起点である状態0に遷移する。状態3、で次もRDONである場合は、状態4に遷移するが、RDOFFの場合は、起点である状態0に遷移する。

【0010】状態4で、次もRDONの場合は、状態5に遷移し、RDOFFの場合は、状態OUTに遷移し、50nsパルス検出信号50nsONが输出される。状態5で、次もRDONの場合は、状態6に遷移するが、RDOFFの場合は、状態OUTに遷移し、50nsパルス検出信号50nsONが输出される。状態6で、次もRDONの場合は、状態OVERFLOWに遷移するが、RDOFFの場合は、状態OUTに遷移し、50nsパルス検出信号50nsONが输出される。状態OVERFLOWで、次もRDONの場合は、遷移が生じることなく同じ状態OVERFLOWにあるが、RDOFFの場合は、起点である状態0に遷移する。このように、RDONの状態が4回、5回、または6回連続した後RDOFF状態になった場合にのみ、状態OUTに遷移して50nsパルス検出信号50nsONが生成される。

【0011】同様に、100nsパルスの場合は、図4から分かるように、RDONの状態が9回、10回、または11回連続した後RDOFF状態になった場合にのみ、状態OUTに遷移して100nsパルス検出信号100nsONが生成され、SYNCパルスの場合は、図5から分かるように、RDONの状態が12回以上継続し、その後RDOFFの状態が12回以上継続した場合にのみ、状態SYNCOFFに遷移してSYNCパルス検出信号SYNCONが生成される。

【0012】このようにして、入力に対応した検出信号が連続的に出力され、データ整形部6に入力される。データ整形部6では、前記50ns検出信号50nsON、100ns検出信号100nsON、およびSYNCパルス検出信号SYNCONが入力され、入力順にメモリに格納される。メモリに格納された前記信号は入力された順に読み出され、シフトレジスタにロードされてクロックCLKでシフトすることによって、50ns、100ns、またはSYNCパルスである150nsの整形されたデータとなる。以上説明したように、シリアルデータの受信部をデジタル方式にして、基本クロックとしてシリアルデータの10倍の周波数のクロックを用

いているので、クロックによってシリアルデータのパルス幅をカウントすることができる。従って、規格に合わないデータをノイズ成分として除去したり、またはパルス幅を調整して規格にあったシリアルデータとする波形整形が実現できる。

【0013】

【発明の効果】本発明によれば、回路をデジタル化して、クロックを用いてシリアルデータのパルス幅をカウントし、パルス幅に応じて規格に合わないパルス幅のデータを除去したり、規定のパルス幅のデータに波形整形することにしたので、簡単な回路構成で規格に合ったデータへの波形整形が実現でき、大幅なコスト低減を図ることができる。また、抵抗、コンデンサなどを用いないので、製造ロット毎のばらつきがなくなるため、調整する必要がなくなると同時に、温湿度などの環境変化の影響はほとんど受けなくなる。加えて、部品点数も低減でできるので、回路を小型化できるばかりでなく、消費電力を低減できると共に、故障率が低くなるので高い信頼性が実現できる。

\* 【図面の簡単な説明】

【図1】図1は、本発明の1実施例であるシリアルデータの伝送に用いる受信デジタルデータの波形整形回路のブロック図である。

【図2】図2は図1のノイズ除去部2の動作を説明するための波形図である。

【図3】図3は図1の50nsパルス検出部3の動作を説明するための状態遷移図である。

【図4】図4は図1の100nsパルス検出部4の動作を説明するための状態遷移図である。

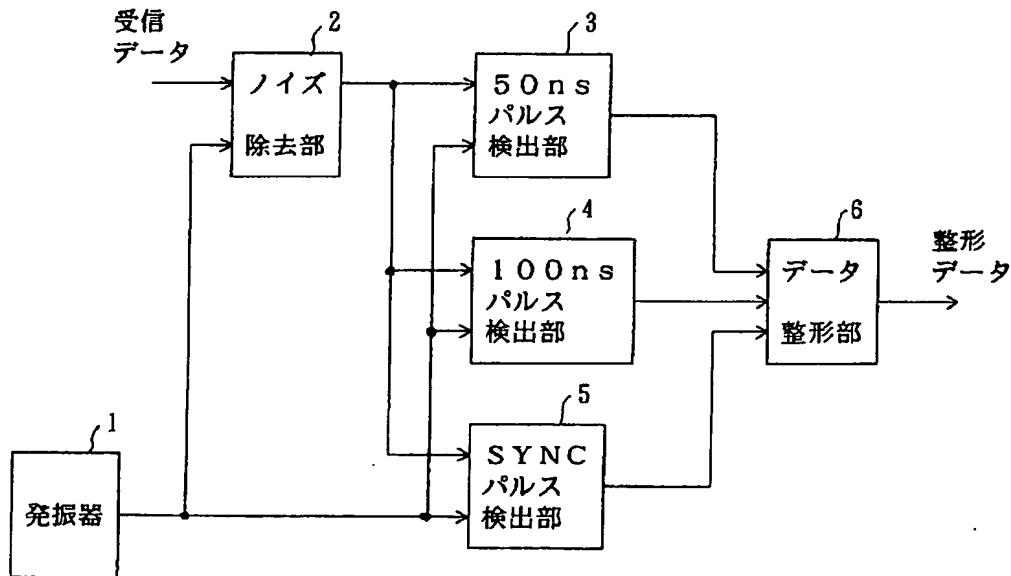
【図5】図5は図1のSYNCパルス検出部5の動作を説明するための状態遷移図である。

【符号の説明】

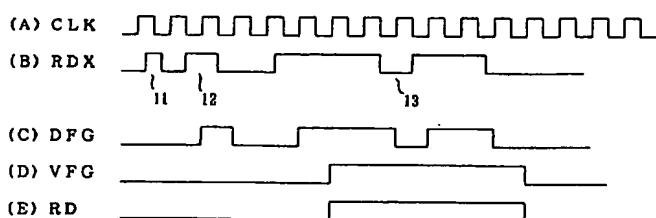
- 1 発振部
- 2 ノイズ除去部
- 3 50nsパルス検出部
- 4 100nsパルス検出部
- 5 SYNCパルス検出部
- 6 データ整形部

\* 6

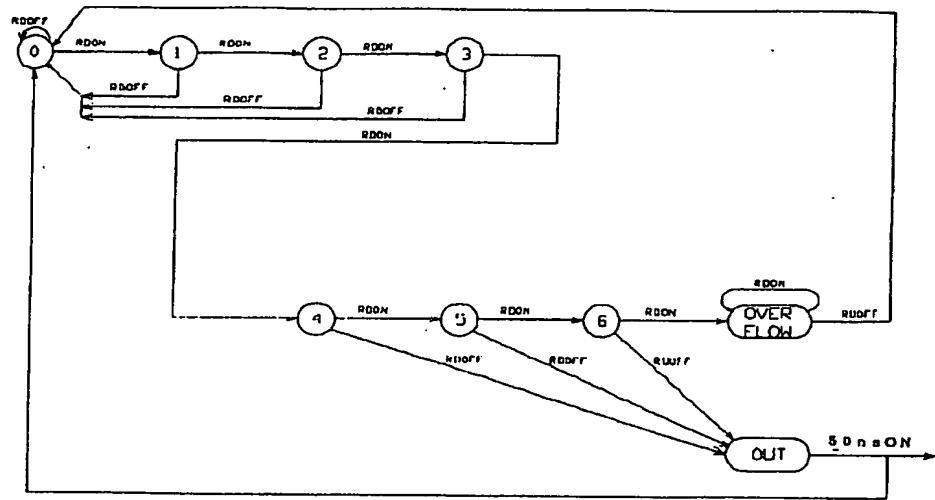
【図1】



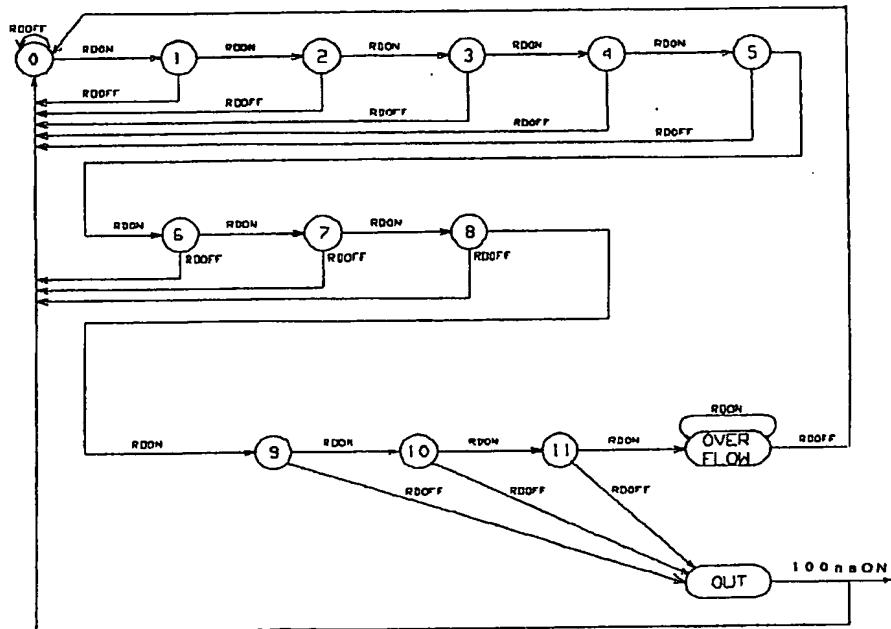
【図2】



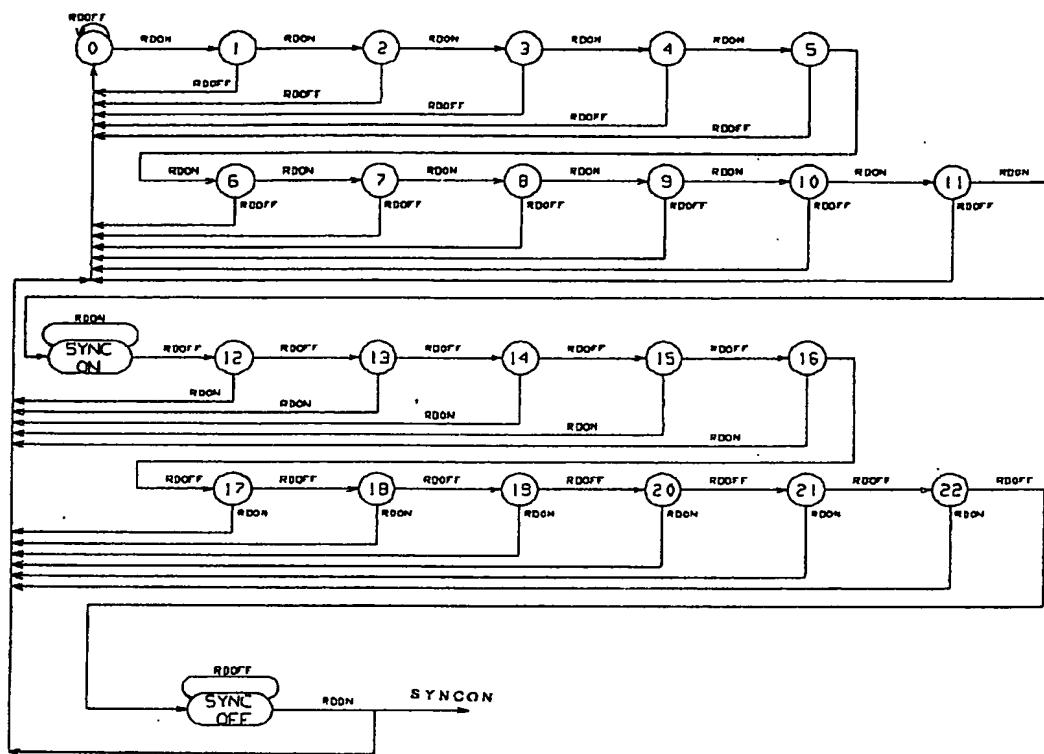
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号 庁内整理番号

F I

技術表示箇所

// H 0 3 K 5/19

H